

## PATENT ABSTRACTS OF JAPAN

(11) Publication number : 08-255574

(43) Date of publication of application : 01.10.1996

(51) Int.Cl. H01J 11/00  
 G09G 3/28  
 H01J 11/02

(21) Application number : 07-060218 (71) Applicant : FUJITSU LTD

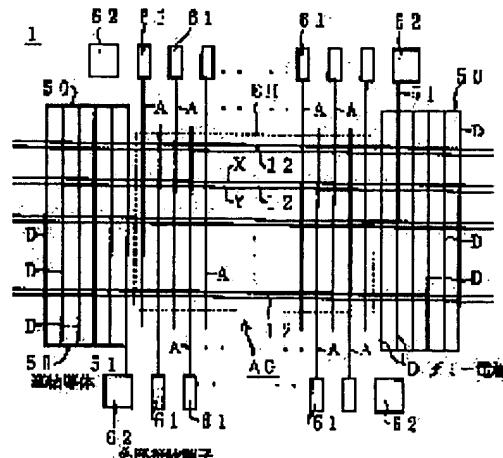
(22) Date of filing : 20.03.1995 (72) Inventor : TOMIOKA TETSUYOSHI  
 AMATSU MASASHI  
 KANAGU SHINJI  
 KANAE TATSUTOSHI  
 ADACHI TSUYOSHI

**(54) SURFACE DISCHARGE TYPE PLASMA DISPLAY PANEL AND DRIVE METHOD  
 THEREFOR**

**(57) Abstract:**

**PURPOSE:** To prevent a drop in display quality due to unnecessary discharge in a non-display zone without any need of increasing manufacturing manhour by arranging dummy electrodes at both sides of an address electrode group, and then connecting both ends of adjacent dummy electrodes to each other.

**CONSTITUTION:** A plurality of dummy electrodes D are arranged in parallel to every address electrode A at both ends of an address electrode group AG for preventing unnecessary light emission outside a display zone EH. Also, both ends of the adjacent dummy electrodes D are electrically integrated with each other via a connection conductor 50, and commonly connected to an external connection terminal 62 at one side via a connection conductor 51. As a result of connecting both ends of the adjacent electrodes D, a ladder type conductor loop is formed. Thus, even if a wire breakage occurs in a part of the electrodes D, no floating state appears.

**LEGAL STATUS**

[Date of request for examination] 25.12.1997  
[Date of sending the examiner's decision of rejection]  
[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]  
[Date of final disposal for application]  
[Patent number] 3096400  
[Date of registration] 04.08.2000  
[Number of appeal against examiner's decision of rejection]  
[Date of requesting appeal against examiner's decision of rejection]  
[Date of extinction of right]

Copyright (C); 1998,2000 Japanese Patent Office

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平8-255574

(43)公開日 平成8年(1996)10月1日

(51)Int.Cl.<sup>6</sup>  
H 01 J 11/00  
G 09 G 3/28  
H 01 J 11/02

識別記号 庁内整理番号  
4237-5H

F I  
H 01 J 11/00  
G 09 G 3/28  
H 01 J 11/02

技術表示箇所  
K  
Z  
B  
Z

審査請求 未請求 請求項の数3 O L (全6頁)

(21)出願番号 特願平7-60218

(22)出願日 平成7年(1995)3月20日

(71)出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番  
1号

(72)発明者 富岡 哲好

神奈川県川崎市中原区上小田中1015番地  
富士通株式会社内

(72)発明者 天津 正史

神奈川県川崎市中原区上小田中1015番地  
富士通株式会社内

(74)代理人 弁理士 久保 幸雄

最終頁に続く

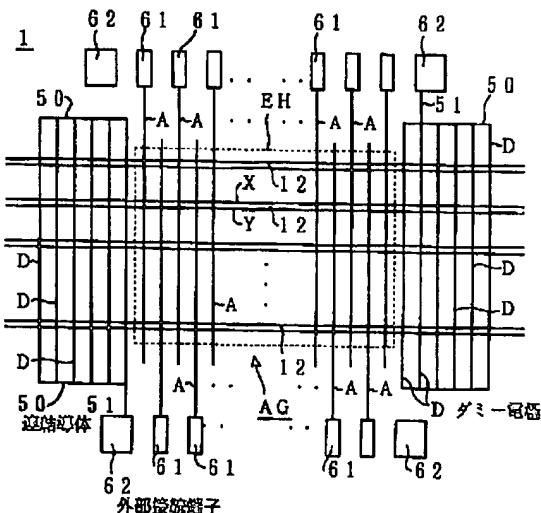
(54)【発明の名称】面放電型PDP及びその駆動方法

(57)【要約】

【目的】製造工数を増加させることなく、非表示領域における不要放電による表示品質の低下を確実に防止するとともに、厚膜電極の焼成状態の均一化を図ることを目的とする。

【構成】ライン方向に延びる複数の放電維持電極対1-2及びそれらと交差する互いに平行な複数の厚膜電極Aからなるアドレス電極群AGを有したマトリクス表示方式の面放電型PDP1であって、アドレス電極群AGの電極配列方向の両側に、厚膜電極Aと同一材料からなる複数のダミー電極Dが厚膜電極Aと平行に配列され、隣り合うダミー電極Dが、それぞれの両端において連結導体50によって互いに電気的に一体化され、且つ外部接続端子62に対して共通に接続されてなる。

本発明のPDPの電極構造を示す模式平面図



1

## 【特許請求の範囲】

【請求項1】ライン方向に延びる複数の放電維持電極対及びそれらと交差する互いに平行な複数の厚膜電極からなるアドレス電極群を有したマトリクス表示方式の面放電型PDPであって、

前記アドレス電極群の電極配列方向の両側に、前記厚膜電極と同一材料からなる複数のダミー電極が前記厚膜電極と平行に配列され、

隣り合う前記ダミー電極が、それぞれの両端において連結導体によって互いに電気的に一体化され、且つ外部接続端子に対して共通に接続されてなることを特徴とする面放電型PDP。

【請求項2】前記ダミー電極は、電極幅が前記厚膜電極と実質的に等しく、前記厚膜電極と同一のピッチで配列されてなる請求項1記載の面放電型PDP。

【請求項3】請求項1又は請求項2記載の面放電型PDPによる表示に際して、

表示内容に応じて前記各厚膜電極に選択的にアドレス電圧を印加するアドレス期間において、全ての前記ダミー電極の電位を、発光させない単位発光領域に対応した前記厚膜電極と同一の電位に保つことを特徴とする面放電型PDPの駆動方法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は、マトリクス表示方式の面放電型のPDP (Plasma Display Panel: プラズマディスプレイパネル)、及びその駆動方法に関する。

【0002】PDPは、視認性に優れ、高速表示が可能であり、しかも比較的に大画面化の容易な薄型表示デバイスである。PDPの市場が拡がる中で、特に蛍光体によるカラー表示に適した面放電型PDPについて、表示品質に対する要求が厳しさを増している。

## 【0003】

【従来の技術】図5は面放電型PDPの基本的な構成を示す平面図である。PDPは、一对のガラス基板11、21を対向配置して対向領域の周縁部を封止し、内部に100～200μm程度の間隙寸法の放電空間を形成した表示デバイスである。マトリクス表示方式のPDPでは、縦横に配列された電極群によって表示領域(表示画面)EHが画定されるが、放電空間内の封止部近辺は図中に斜線で示す封止材31のガス放出により放電が不安定になるので、表示領域EHの周囲に非表示領域ENが設けられる。通常、非表示領域ENの幅は画面サイズに係わらず20mm程度である。

【0004】面放電型PDPは、主放電セル(面放電セル)を画定する表示電極X、Y、一方の表示電極Yとともに選択放電セルを画定するアドレス電極A、及び表示領域EH内の放電空間をライン方向に区画するストライプ状の隔壁29を有する。表示電極X、Yは、壁電荷を利用するAC駆動用の図示しない誘電体層によって放電

2

空間に対して被覆され、表示のライン毎に放電維持電極対12を構成するように配列されている。

【0005】面放電型PDPによる表示に際しては、書き込みアドレス法又は消去アドレス法により、発光(点灯)させるべき主放電セルに選択的に壁電荷を蓄積させた後、表示電極X、Yに交互に放電維持電圧を印加して面放電(基板面方向の放電)を周期的に生じさせる。単位時間当たりの放電回数を選定することにより、表示の輝度が設定される。

10 【0006】さて、面放電型PDPにおいては、一对の表示電極X、Yが平行配置されることから、非表示領域EN内でも面放電が生じ、表示領域EHのライン方向の両側が明るくなつて表示のコントラストが低下するおそれがある。

【0007】そこで、従来は、表示面側のガラス基板1の外面に遮光層を形成する方法、非表示領域EN内の誘電体層を厚くして不要放電を抑制する方法(特開平4-223025号)、又は非表示領域ENについて表示電極間の放電ギャップを拡げて不要放電を抑制する方法(特開平5-114362号)が採用されていた。

## 【0008】

【発明が解決しようとする課題】しかし、遮光層を設けたり誘電体層を部分的に厚くすると、それだけ製造工数が増え、コストアップ及び歩留りの低下を招くという問題があった。また、放電ギャップを部分的に拡げる場合には、不要放電を確実に抑制することが困難である、すなわち駆動電圧の上限が低くなるという問題があった。

【0009】一方、一般にアドレス電極Aは、電極形成後の熱処理による酸化を防止するため、厚膜導電材料の30焼成によって形成される。表示電極X、Yは誘電体層で被覆されるので、これらを薄膜法によって形成しても支障はない。

【0010】このようにアドレス電極Aを厚膜電極とした場合、配列方向の端部のアドレス電極Aと中央部のアドレス電極Aとの間で焼成状態に微妙な差異が生じ易く、アドレス電極群の導電性が不均一になって表示制御の均一性が損なわれるおそれがあった。

【0011】本発明は、これらの問題に鑑みてなされたもので、製造工数を増加させることなく、非表示領域における不要放電による表示品質の低下を確実に防止するとともに、厚膜電極の焼成状態の均一化を図ることを目的としている。

## 【0012】

【課題を解決するための手段】請求項1の発明に係るPDPは、図1に示すように、ライン方向に延びる複数の放電維持電極対及びそれらと交差する互いに平行な複数の厚膜電極からなるアドレス電極群を有したマトリクス表示方式の面放電型PDPであって、前記アドレス電極群の電極配列方向の両側に、前記厚膜電極と同一材料からなる複数のダミー電極が前記厚膜電極と平行に配列さ

れ、隣り合う前記ダミー電極が、それぞれの両端において連結導体によって互いに電気的に一体化され、且つ外部接続端子に対して共通に接続されてなる。

【0013】請求項2の発明に係るPDPは、前記ダミー電極の幅が前記厚膜電極と実質的に等しく、当該ダミー電極が前記厚膜電極と同一のピッチで配列されてなる。請求項3の発明に係る駆動方法は、表示内容に応じて前記各厚膜電極に選択的にアドレス電圧を印加するアドレス期間において、前記全てのダミー電極の電位を、発光させない単位発光領域に対応した前記厚膜電極と同一の電位に保つものである。

【0014】

【作用】アドレス電極群の両側において、複数のダミー電極とそれらを一体化する連結導体とによって導体ループが形成される。この導体ループを外部接続端子と接続しておき、表示に際して非発光の単位発光領域に対応した厚膜電極と同一の電位に保つことにより、非表示領域で生じた壁電荷が強制的に消去され、不要の放電が防止される。

【0015】導体ループが形成されることから、ダミー電極に断線が生じたとしても、断線したダミー電極を構成する厚膜導体がフローティング状態にはならないので、不要放電を確実に防止することができる。

【0016】また、ダミー電極をアドレス電極群の両側に配列することにより、アドレス電極群を構成する厚膜電極の焼成に際して、配列方向の端部及び中央部の厚膜電極に対する焼成条件がほぼ同一になり、焼成状態の均一なアドレス電極群が得られる。

【0017】

【実施例】図1は本発明に係るPDP1の電極構造を示す模式平面図である。図1のように、PDP1は、マトリクス表示の単位発光領域に放電維持電極対12を構成する表示電極X、Yとアドレス電極Aとが対応する3電極構造の面放電型PDPである。表示電極X、Yとアドレス電極Aとが交差する範囲の領域が表示領域EHである。

【0018】各アドレス電極Aは、外部接続端子61の配置を容易にするために、1本ずつ交互に一端側又は他端側に振り分けて延長され、延長された側の先端が外部接続端子61に接続されている。外部接続端子61の配列方向の両側には、外部接続端子61より大きい外部接続端子62が設けられている。

【0019】また、PDP1においては、表示領域EHの外側での不要の発光を防止するために、アドレス電極群AGの両側にアドレス電極Aと平行にダミー電極Dが複数ずつ配列されている。各ダミー電極Dは、幅がアドレス電極Aと同一であり全ての放電維持電極対12と交差する長さを有している。隣り合うダミー電極Dは、それぞれの両端において連結導体50によって互いに電気的に一体化され、接続導体51によって一端側の外部接

続端子62に共通に接続されている。

【0020】このようなダミー電極D、連結導体50、及び接続導体51は、例えば銀ペーストを印刷して焼成する厚膜法によって、アドレス電極Aと同時に形成されている。なお、図1では、6本のダミー電極Dが一体化されているが、実際には、上述のように非表示領域EN(図5参照)の幅が20mm程度であるので、配列ピッチをアドレス電極Aと同一の220μm程度とした場合は、アドレス電極群AGの両側にそれぞれ約90本のダミー電極Dが配列される。

【0021】アドレス電極群AGの両側にダミー電極Dを配列することにより、アドレス電極Aの焼成に際して、配列方向の端部及び中央部における焼成条件がほぼ同一になり、各アドレス電極Aの焼成状態の均一なアドレス電極群AGが得られる。

【0022】隣り合うダミー電極Dの両端を連結することによって、梯子状の導体ループが形成されることから、仮に焼成時などにおいて一部のダミー電極Dに断線が生じたとしても、断線したダミー電極Dが連結導体50と他のダミー電極Dとを介して外部接続端子62とつながり、フローティング状態にはならない。したがって、不要放電を確実に防止することができる。

【0023】図2は図1のPDPの1画素に対応する部分の構造を示す分解斜視図である。図2のように、放電維持電極対12を構成する表示電極X、Yは、前面側のガラス基板21上に設けられ、20~30μm程度の厚さの誘電体層17によって放電空間30に対して被覆されている。誘電体層17の表面には、保護膜として数千Å程度の厚さのMgO膜18が設けられている。

【0024】なお、表示電極X、Yは、放電空間30に対して表示面H側に配置されることから、面放電を広範囲とし且つ表示光の遮光を最小限とするため、ネサ膜などからなる幅の広い透明導電膜41とその導電性を補うための幅の狭いバス金属膜42とから構成されている。

【0025】一方、単位発光領域EUを選択的に発光させるためのアドレス電極Aは、50~100μm程度の幅を有し、背面側のガラス基板21上に配列されている。各アドレス電極Aの間には、100~200μm程度の高さを有したストライプ状の隔壁29が設けられ、これによって放電空間30がライン方向(表示電極X、Yの延長方向)に単位発光領域EU毎に区画され、且つ放電空間30の間隙寸法が規定されている。

【0026】また、ガラス基板21には、アドレス電極Aの上面及び隔壁29の側面を含めて表示領域EH内の内面を被覆するように、R(赤)、G(緑)、B(青)の3原色の蛍光体28が設けられている。すなわち、PDP1は、蛍光体の配置形態による分類の上で反射型と呼称されるPDPである。蛍光体28は面放電時に放電ガスが放つ紫外線によって励起されて発光する。

【0027】画面の各画素(ピクセル)EGは、ライン

5

方向に並ぶ同一面積の3つの単位発光領域（サブピクセル）E Uから構成されている。例えば、画面が640×480画素構成であれば、480本の各ラインは640×3個の単位発光領域E Uから構成される。

【0028】各単位発光領域E Uにおいて、表示電極X、Yによって面放電セル（表示のための主放電セル）が画定され、表示電極Yとアドレス電極Aとによって表示又は非表示を選択するためのアドレス放電セルが画定される。これにより、アドレス電極Aの延長方向に連続する蛍光体28の内、各単位発光領域E Uに対応した部分を選択的に発光させることができ、R、G、Bの組み合わせによるフルカラー表示が可能である。

【0029】次に、以上の構成のPDP1の駆動方法について説明する。図3は書込みアドレス法による駆動の一例を示す印加電圧波形図である。階調表示を行うために1画面の表示期間（フレーム）を細分化したサブフィールドSFは、表示内容に応じて単位発光領域E Uの点灯又は消灯を設定するアドレス期間TAと、表示の輝度を確保するサステイン期間TSとに分かれる。

【0030】書込みアドレス法による場合には、アドレス期間TAにおいて、まず、以前の点灯状態の影響を受けないようにするために、全画面書込み及び全面消去を行う。すなわち、例えば、全ての表示電極Xに対して波高値Vwの正極性の書込みパルスPW、及び波高値Vsの負極性のサステインパルス（放電維持電圧）PSを順に印加する。そして、発光（点灯）させる単位発光領域E Uに対応した表示電極Y及びアドレス電極Aに対して、図のようにサステインパルスPS及びアドレスパルスPAを印加し、選択放電を生じさせて放電の維持に必要な所定極性の壁電荷を蓄積させる。このとき、表示電極Yについては、ライン順に印加対象を選択する。図中で各パルスPS、PAに付した斜線は選択的に印加することを示している。

【0031】このようにアドレス電極Aを用いて選択書込みを行うアドレス期間TAにおいて、ダミー電極Dについては、その電位をアドレス電極Aの基準電位である接地電位（例えば0ボルト）に保持する。つまり、表示内容に係わらず、点灯させない単位発光領域E Uに対応したアドレス電極Aと同一の電位状態とする。これにより、非表示領域ENにおいても表示領域ENと同様に、消灯状態を得るための電荷制御が行われ、非表示領域ENは非書込み状態になる。

【0032】アドレス期間TAに続くサステイン期間TSにおいては、選択書込みで蓄積された壁電荷を利用して面放電を生じせるように、表示電極X、Yに対して交互にサステインパルスPSを印加する。このとき、上述のように非表示領域ENの電荷状態は点灯させない単位発光領域E Uと同様とされているので、サステインパルスPSを印加しても非表示領域EN内では放電が起こらず、放電ガスによる不要の発光は生じない。

6

【0033】一方、図4に示すように、消去アドレス法による場合は、アドレス期間TAの後半で、書き込みアドレス法による場合とは逆に点灯させない単位発光領域E Uに対応した表示電極Y及びアドレス電極Aに対して、選択的にサステインパルスPS及びアドレスパルス（消去パルス）PAを印加し、選択放電を生じさせて不要の壁電荷を消去する。この場合も、ダミー電極Dについては、その電位を点灯させない単位発光領域E Uに対応したアドレス電極Aと同一の電位状態とする。つまり、表示内容に係わらずアドレス電極Aと同一のタイミングで消去パルスPAを印加する。これにより非表示領域ENにおいても、表示領域ENと同様に消灯状態を得るための電荷制御が行われ、非表示領域ENは非書き込み状態となる。

【0034】上述の実施例によれば、ダミー電極Dをアドレス電極Aと同一ピッチで配列したので、非表示領域ENの電荷制御に際してダミー電極Dをアドレス電極Aの一部として取り扱うことができ、特別の制御用電圧を生成する必要がない。また、隣り合うダミー電極Dの両端を連結して導体ループを形成したので、ダミー電極D又は連結導体50に断線が生じても電荷制御に支障がない。すなわち製造時の歩留りを高めることができる。

【0035】上述の実施例によれば、ダミー電極Dの両側の連結導体50の一方のみを外部接続端子62と接続したので、アドレス電極Aの一端側及び他端側にそれぞれ設けられるアドレス電極駆動回路の負担を軽減することができる。なお、ダミー電極Dと電気的に接続されない外部接続端子62は、各アドレス電極Aの外部接続端子61とプリント基板との接合強度を高めるダミー端子として用いられる。

【0036】上述の実施例において、ダミー電極Dの両端をガラス基板21の端縁部までそれぞれ導出し、外部接続端子62と接続することによって、隣り合う複数のダミー電極Dを電気的に一体化てもよい。その場合は外部接続端子62が連結導体50の役割をもつ。その他、厚膜導電材料、電極数、電極ピッチなどは本発明の主旨に沿って種々変更することができる。また、蛍光体28を前面側のガラス基板11の内面に配置した透過型のPDPにも本発明を適用することができる。

【0037】

【発明の効果】請求項1及び請求項2の発明によれば、製造工数を増加させることなく、非表示領域における不要放電による表示品質の低下を確実に防止することができる。しかも厚膜電極の焼成状態の均一化を図ることができる。

【0038】請求項3の発明によれば、非表示領域における不要放電を確実に防止することができ、表示品質の向上を図ることができる。

【図面の簡単な説明】

【図1】本発明に係るPDPの電極構造を示す模式平面

図である。

【図2】図1のPDPの1画素に対応する部分の構造を示す分解斜視図である。

【図3】書き込みアドレス法による駆動の一例を示す印加電圧波形図である。

【図4】消去アドレス法による駆動の一例を示す印加電圧波形図である。

【図5】面放電型PDPの基本的な構成を示す平面図である。

【符号の説明】

1 PDP (面放電型PDP)

12 放電維持電極対

50 連結導体

62 外部接続端子

A アドレス電極 (厚膜電極)

AG アドレス電極群

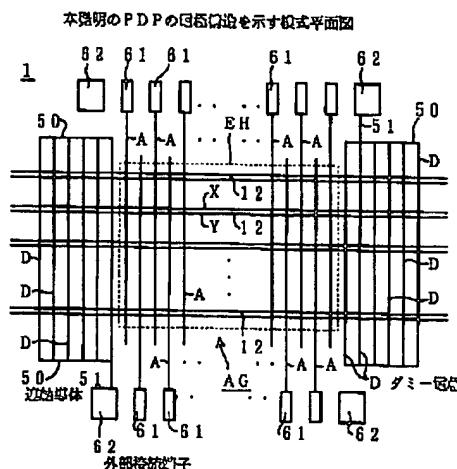
D ダミー電極

EU 単位発光領域

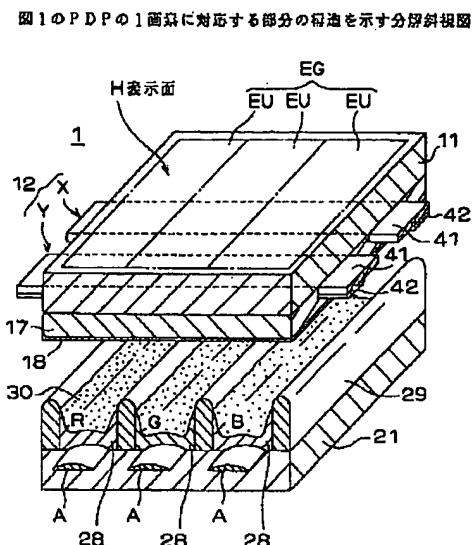
PA アドレスパルス (アドレス電圧)

10 TA アドレス期間

【図1】

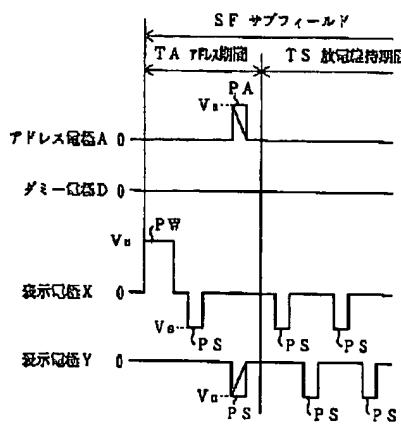


【図2】



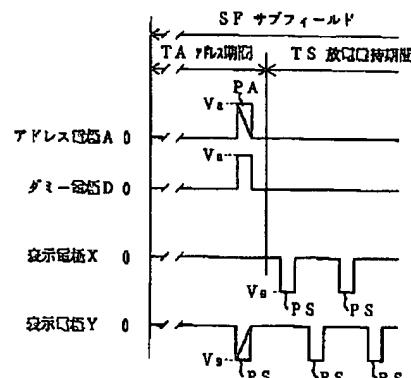
【図3】

書き込みアドレス法による駆動の一例を示す印加電圧波形図

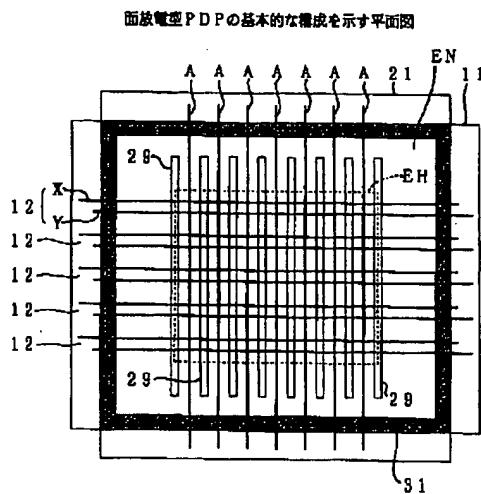


【図4】

消去アドレス法による駆動の一例を示す印加電圧波形図



[図5]



フロントページの続き

(72)発明者 金具 慎次

神奈川県川崎市中原区上小田中1015番地  
富士通株式会社内

(72)発明者 金江 達利

神奈川県川崎市中原区上小田中1015番地  
富士通株式会社内

(72)発明者 足立 強

神奈川県川崎市中原区上小田中1015番地  
富士通株式会社内